

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340229

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

R

審査請求 有 請求項の数31 O L (全 10 頁)

(21) 出願番号 特願平11-117513

(22) 出願日 平成11年(1999) 4月26日

(31) 優先権主張番号 09/067851

(32) 優先日 1998年 4月27日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MACHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72) 発明者 ダニエル・チャールス・エドラステン

アメリカ合衆国ニューヨーク州ニューロッ  
チェル、グレーマシー・ブレース15

(74) 代理人 弁理士 坂口 博 (外1名)

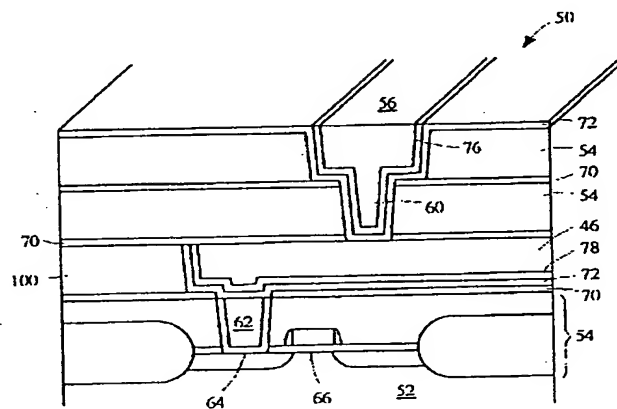
最終頁に続く

(54) 【発明の名称】 金属シード層を挿入する構造の銅の相互接続

(57) 【要約】

【課題】 改善されたエレクトロマイグレーション抵抗  
力、接着特性、及び他の表面特性を有する銅合金の相互  
接続構造を与えることである。

【解決手段】 銅導電体本体56、60と、銅導電体本体  
と電子デバイス間に挟まれた銅合金又は金属のシード層  
76とを利用することにより、電子デバイスとの電気通  
信を確立するための新規な相互接続構造を提供する。エ  
レクトロマイグレーション抵抗、バリアー層に対する  
接着性、デバイスの表面特性または付着プロセスを改善  
のために、それぞれの目的に応じて、種々の組成の銅合  
金シード層または特定の金属のシード層を使用すること  
ができる。



## 【特許請求の範囲】

【請求項1】 1電子デバイスに電気的接続を与える相互接続構造であって、銅により実質的に形成された本体と、前記本体と前記電子デバイスとの間に挟まれ、それらと密接に接触して、前記相互接続構造のエレクトロマイグレーション抵抗力を改善する銅合金シード層とを含み、

ことを特徴とする相互接続構造。

【請求項2】 前記銅合金シード層は、銅と、Sn、In、Zr、Ti、C、N、O、Cl、及びSからなる群から選択された少なくとも1つの要素とを含むことを特徴とする請求項1に記載の相互接続構造。

【請求項3】 電子デバイスに電気的接続を与える相互接続構造であって、銅電導体本体と、前記銅導電本体と前記電子デバイス上に形成された拡散バリアー層との間に挟まれ、それらと密接に接触する銅合金シード層とを含み、前記銅合金シード層は、前記拡散バリアー層との接着を改善するために、銅と、Al、Mg、Be、Ca、Sr、Ba、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Si、及びGeからなる群から選択された少なくとも1つの要素とを含むことを特徴とする相互接続構造。

【請求項4】 前記銅合金シード層は、約0.1nm～100nmの間の厚さを有する請求項1又は3に記載の相互接続構造。

【請求項5】 前記銅合金シード層を付着すべき拡散バリアー層を更に含む請求項1に記載の相互接続構造。

【請求項6】 前記拡散バリアー層は、Ta、Ta<sub>2</sub>N、W、TaSiN、TiN、WN、WSiN、TiAlN、及びTiSiNからなる群から選択された材料を付着したものである請求項5に記載の相互接続構造。

【請求項7】 銅により実質的に形成された前記本体はC、N、Cl、O、及びSからなる群から選択された少なくとも1の合金要素を約0.001～10重量%含むことを特徴とする請求項1又は3に記載の相互接続構造。

【請求項8】 前記銅合金シード層は、金属化合物、金属固溶体、又は金属相の2相混合物により形成されていることを特徴とする請求項1又は3に記載の相互接続構造。

【請求項9】 前記銅合金シード層は、約0.25～1.5原子%のSn又はInを含む銅である請求項1に記載の相互接続構造。

【請求項10】 電子デバイスに電気的接続を与える相互接続構造システムであって、銅電導体本体と、前記銅導電本体と前記電子デバイス上に形成された拡散バリアー層との間に挟まれ、それらと密接に接触する銅合金シード層とを含み、前記銅合金シード層は、前記電子デバイ

スの表面特性を改善するために、銅と、B、O、N、P、Fe、Ru、Os、Co、Rh、Ir、Ni、Pd、Pt、Ag、Au、Zn、及びCdからなる群から選択された少なくとも1つの要素とを含むことを特徴とする相互接続構造システム。

【請求項11】 前記銅合金シード層と前記電子デバイスとの間に挟まれた拡散バリアー層を更に含む請求項10に記載の相互接続構造システム。

【請求項12】 前記拡散バリアー層は、Ti、Ta、Wb、Mo、Ta<sub>2</sub>N、W、TaSiN、TiN、WN、WSiN、TiAlN、及びTiSiNからなる群から選択された材料を付着したものである請求項11に記載の相互接続構造システム。

【請求項13】 前記銅合金シード層は、約0.1nm～100nmの間の厚さを有する請求項13に記載の相互接続構造。

【請求項14】 銅により実質的に形成された前記本体はC、N、Cl、O、及びSからなる群から選択された少なくとも1の合金要素を約0.001～10重量%含むことを特徴とする請求項10に記載の相互接続構造システム。

【請求項15】 前記銅合金シード層は、金属相の1a相の混合物により形成されている請求項10に記載の相互接続構造システム。

【請求項16】 電子デバイスに電気的接続を与える相互接続構造システムであって、銅電導体本体と、前記銅導電本体と前記電子デバイスとの間に挟まれ、それらと密接に接触する金属シード層とを含み、前記金属シード層は、前記銅導電体の付着プロセスを改善するために、実質的に銅化合物を形成し得ないような銅に対する低い溶解度を有する金属により付着形成されることを特徴とする相互接続構造システム。

【請求項17】 前記金属は、銅の電気抵抗率と実質的に同じ電気抵抗率を有する請求項16に記載の相互接続構造システム。

【請求項18】 前記金属は、Ag、Mo、W、及びCoからなる群から選択されたものである請求項16に記載の相互接続構造システム。

【請求項19】 前記金属シード層は、約0.1nm～100nmの間の厚さを有する請求項16に記載の相互接続構造システム。

【請求項20】 拡散バリアー層を更に含み、その上に前記金属シード層が付着された請求項16に記載の相互接続構造システム。

【請求項21】 前記拡散バリアー層は、Ti、Ta、Wb、Mo、Ta<sub>2</sub>N、W、TaSiN、TiN、WN、WSiN、TiAlN、及びTiSiNからなる群から選択された材料を付着したものである請求項16に記載の相互接続構造システム。

【請求項22】 電子デバイスに電気的接続を与える相互

3

接続構造を形成する方法であって、電子デバイス上に銅合金シード層を付着するステップと、前記銅合金シード層上に銅導電体本体を形成するステップとを含み、前記銅導電体本体は、前記相互接続構造のエレクトロマイグレーション抵抗力を改善させるように、密接に前記銅合金シード層に接合することを特徴とする相互接続構造を形成する方法。

【請求項 2 3】前記銅合金シード層の付着ステップの前に、前記電子デバイス上に拡散バリアー層を更に含む請求項 2 2 に記載の方法。

【請求項 2 4】前記拡散バリアー層は、Ti、TiN、Ta、Nb、Mo、Ta<sub>2</sub>N、W、WN、TaSiN、WSiN、TiAlN、及びTiSiNからなる群から選択された材料を付着したものである請求項 2 3 に記載の方法。

【請求項 2 5】電子デバイスとの電気的接続を与え、該デバイスへの改善された接着を有する相互接続構造を形成する方法であって、電子デバイス上に銅合金シード層を付着するステップと、前記銅合金シード層上に銅導電体本体を形成するステップとを含み、前記銅合金シード層は、銅とAl、Mg、Be、Ca、Sr、Ba、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Si、及びGeからなる群から選択された少なくとも 1 つの要素とを含むことを特徴とする相互接続構造を形成する方法。

【請求項 2 6】前記銅合金シード層の付着ステップの前に、前記電子デバイス上に拡散バリアー層を更に含む請求項 2 5 に記載の方法。

【請求項 2 7】前記拡散バリアー層は、Ti、TiN、Ta、Nb、Mo、Ta<sub>2</sub>N、W、WN、TaSiN、WSiN、TiAlN、及びTiSiNからなる群から選択された材料を付着したものである請求項 2 6 に記載の方法。

【請求項 2 8】電子デバイスとの電気的接続を与える導電体を形成する方法であって、電子デバイス上に銅合金シード層を付着するステップと、前記銅合金シード層に緊密に接触して、該層の上面上に導電体を形成するステップとを含み、前記導電体は、銅、及びC、Cl、N、O、Sからなる群から選択された少なくとも 1 つの合金要素を約 0.001～10 重量%の間のものより形成されることを特徴とする相互接続構造を形成する方法。

【請求項 2 9】前記銅合金シード層のための付着ステップの前に、更に前記電子デバイス上に拡散バリアーを含み、前記拡散バリアー層は、Ti、TiN、Ta、Nb、Mo、Ta<sub>2</sub>N、W、WN、TaSiN、WSiN、TiAlN、及びTiSiNからなる群から選択された材料を付着したものである請求項 2 8 に記載の方法。

【請求項 3 0】電子デバイスとの電気的接続を与える導

4

電体を形成する方法であって、電子デバイス上に金属シード層を付着するステップと、前記金属シード層に緊密に接触して、該層の上面上に銅導電体本体を形成するステップとを含み、前記金属シード層は、前記銅導電体の付着プロセスを改善するために、実質的に銅化合物を形成し得ないような銅に対する低い溶解度及び低い親和性を有する金属により付着形成されることを特徴とする導電体を形成する方法。

【請求項 3 1】前記金属シード層は、Ag、Mo、W、及びCoからなる群から選択され金属を付着した請求項 3 0 に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的に、電子デバイスとの電気的通信のための相互接続構造及びそのような構造を製造する方法に関する。特に、本発明は、エレクトロマイグレーション抵抗、相互接続構造の接着と表面特性を改善するために銅導電体本体と電子デバイスとの間に挟まれた銅合金シード層の挿入により、電子デバイスとの電気的接続を与えるための構造に関する。

【0002】

【従来の技術】半導体チップ構造、フラット・パネル・ディスプレイ、及びパッケージ・アプリケーションにおいて、パイア、線、リセスのために与えられる相互接続するための技術は、長年の間開発されてきた。例えば、大規模集積回路(VLSI)構造のために相互接続技術を開発する場合、アルミニウムが、単一基板上の半導体領域又はデバイスのコンタクト及び相互接続のための主たる金属源として用いられてきた。アルミニウムは、その低価格、良好なオーム接触、高導電率を理由に選ばれた材料である。しかしながら、純粋なアルミニウム薄膜導電体は、例えば、その使用を低い温度プロセスに制限する低融点、接触及び接合不良をもたらすアニール中のシリコンへの起こり得る拡散、及びエレクトロマイグレーションのような望ましくはない特性を有する。結果として、純粋アルミニウムを越える進歩を与える多くのアルミニウム合金が開発されてきた。例えば、米国特許第 4、566、177 号は、エレクトロマイグレーション抵抗を改善するためにシリコン、銅、ニッケル、クロム、及びマンガンを含むアルミニウム合金の導電層を開示している。米国特許第 3、631、304 号は、エレクトロマイグレーション抵抗を改善するためにも用いられるアルミニウム酸化物を含むアルミニウム合金を開示している。

【0003】近年開発されたULSI技術は、究極的な高回路密度及びそのようなデバイスの要求する早い処理速度のため、配線要件に関するより厳しい要求をする。これは、ますます小さくなる導電体線に高電流密度をもたらす。結果として、アルミニウム合金導電体のための大きな断面の配線又は高導電性を有する異なる配線材料

5

を要求する高導電性配線が望まれる。産業において自明の選択は、その望ましい高導電率のために純粋な銅を使用して、後者を開発することである。

【0004】例えばバイア及び線のようなULSI相互接続構造の形成において、同じ基板上に位置する半導体領域又はデバイスを相互接続するために、そのようなリセスに銅を付着できる。しかしながら、銅は、半導体デバイス接合の所に、その低いエレクトロマイグレーション抵抗力が原因の問題があることが知られている。金属固体中のランダムな熱拡散に電界が重なることによって、電子の流れの方向にイオンの正味の移動が生じる時に、エレクトロマイグレーション現象が起こる。シリコン基板へのどのような銅イオン拡散も、デバイス欠陥を引起す。その上、純粋な銅は、例えば二酸化シリコン、ポリイミドのような酸素を含む誘電体によく付着するわけではない。相互接続技術において、完全に銅を利用するために、銅の付着特性も改善しなければならない。

【0005】本発明の共通の譲受人に譲渡された米国特許第5、130、274号は、最初に相互接続構造のリセスに合金を付着して、銅合金プラグと、そのプラグの露出表面上に合金要素の酸化物の薄い層を形成することにより、2原子%より小さい合金要素を含む銅合金の利用を開示している。しかしながら、この技法は、0.5  $\mu\text{m}$ より小さいクリティカルな大きさが薄膜チップ相互接続に関してかなりの負担になるULSI構造において、より厳しい要件を満たすものではない。サブミクロン論理回路配線構造における標準的なAl(Cu)合金と二酸化シリコン誘電体との利用は、主に配線接続によって引起こされる大きな回路遅延をもたらす。

【0006】チップ・スピードを増すためのULSI配線構造におけるAl(Cu)の代替材料としての銅の利用は、他の研究者によっても試みられてきた。しかしながら、銅相互接続において、例えば薄膜において、銅が腐食する傾向があり、銅の表面拡散速度が速いという数々の問題が生じている。純粋な銅は、0.8~0.9 eVのAl(Cu)のものより小さなエレクトロマイグレーション活性化エネルギー、即ち0.5~0.8 eVを有する。このことは、チップ動作条件での相互接続エレクトロマイグレーション欠陥を減らすために、銅を利用することの利益を十分に危うくすることを意味する。

【0007】銅合金で作られた従来の相互接続構造を利用した電子構造の拡大された断面の概略図が、図1に示されている。電子構造10は、銅の相互接続12、16の2レベルと、1つのスタッド・レベル14を含む事前に製造されたデバイス20上のダマシンプロセスによる銅配線構造を例示している。デバイス20が、半導体基板24上に構築される。図1に示すように、典型的なダマシンプレベルが最初に平坦な誘電体スタック26の付着によって製造される。誘電体スタック26は、標

6

準的なリソグラフィ及びドライ・エッチ技術を利用して、所望の配線又はバイア・パターンを形成するようにパターン化しエッチされる。次にこのプロセスの後に、下部シリコン窒化物層28を銅拡散を阻止するために、デバイス20の上面上に既に付着されている拡散バリアとして用い、薄い接着／拡散ライナー18と銅合金の金属付着12とが続く。銅合金相互接続12が形成された後、次レベルの銅相互接続14を規定するためのエッチ停止層として、上部シリコン窒化物層32が付着される。第2レベルの誘電体スタック34が付着された後、相互接続のためのリセスが誘電体層34及びシリコン窒化物層32にエッチされる。

【0008】ライナー22を有する内部レベル銅合金スタッド14は、第1レベル銅合金相互接続12を付着する際に用いられる技術と類似の技術によって付着される。様々な金属付着方法を、トレンチ又はバイアを埋めるために用いることができる。このような方法は、平行スパッタリング・プロセス、イオン・クラスター・プロセス、電子サイクロトロン共鳴プロセス、化学蒸着(CVD)プロセス、無電解メッキ・プロセス、及び電解メッキ・プロセスを含む。例えば、銅と合金要素を同時に付着する同時付着(codposition)方法のような他の方法も、銅合金の形成の際に用いることができる。例えば、このような同時付着方法は、同時スパッタリング、同時メッキ、同時化学蒸着、及び、同時蒸着を含む。内部レベルの銅合金スタッド14の完成の後、別の類似のプロセスを繰返して第3の誘電体スタック層38内にライナー24を有する第2レベル銅相互接続16を形成する。そのスタッドと第2レベル相互接続の間にシリコン窒化物のエッチ停止層36を利用する。最終的に、最上面のシリコン窒化物層42は、デバイスを外界から保護するために銅配線構造10の最上面上に付着される。

【0009】他の研究者は、強化されたエレクトロマイグレーション抵抗力を与える際に、銅合金を使用することを試みてきた。例えば、米国特許第5、023、698号は、Al、Be、Cr、Fe、Mg、Ni、Si、Sn、Znの群から選択された少なくとも1つの合金要素を含む銅合金を教示する。米国特許第5、077、005号は、In、Cd、Sb、Bi、Ti、Ag、Sn、Pb、Zr、Hfの群から選択された少なくとも1つの0.0003~0.01の重量%の合金要素を含む銅合金を教示する。銅合金は、TABプロセスや、プリント回路ボード部材として使用される。米国特許第5、004、520号も、P、Al、Cd、Fe、Mg、Ni、Sn、Ag、Hf、Zn、B、As、Co、In、Mn、Si、Te、Cr、Znから選択された少なくとも1つの合金要素を含み、0.03~0.5重量%の濃度を有するフィルム・キャリアのための銅箔を教示する。これら合金は、集積回路実装における接続リード線

7

として使用される。更に、米国特許第4、749、548号は、Cr、Zr、Li、P、Mg、Si、Al、Zn、Mn、Ni、Sn、Ti、Be、Fe、Co、Y、Ce、La、Nb、W、V、Ta、B、Hf、Mo、Cから選択された少なくとも1つの合金要素を含む銅合金を教示する。その合金要素は、銅合金の強度を増加するために使用される。米国特許第5、243、222号及び第5、130、274号は、拡散バリアーの改善された付着及び形成のための銅合金を教示する。しかしながら、これらの先行する仕事のどれも、エレクトロマイグレーション抵抗力和接着特性の要件に適合すべきULS Iオン・チップ又はオフ・チップ配線相互接続での使用に対して十分改良された銅合金を教示しない。ULS Iデバイスに関する相互接続構造は、 $0.5\mu\text{m}$ よりずっと小さな幅で1より大きなアスペクト比の形状を有する絶縁体構造において、密で完全に連続した金属配線を与えなければならない。

#### 【0010】

【発明が解決しようとする課題】本発明の目的は、それゆえ、従来の銅相互接続構造の障害や欠点を有さない、銅合金の相互接続構造を与えることである。本発明の別の目的は、改善されたエレクトロマイグレーション抵抗力和接着特性、及び他の表面特性を有する銅合金の相互接続構造を与えることである。本発明の更なる目的は、銅合金相互接続体とそれが接続されるべき電子デバイスとの間の界面の所にシード層を利用する銅合金の相互接続構造を与えることである。本発明の別の更なる目的は、銅導電体と相互接続が接続されるべき電子デバイスとの間に挟まれように銅合金シード層を挿入することにより、銅合金の相互接続構造を与えることである。更に本発明の別の目的は、相互接続構造のエレクトロマイグレーション抵抗力を改善するために、銅導電体の形成の前に、Sn、In、C、Ti、Zr、N、O、Cl、又はSの少なくとも1つの要素を含む銅合金シード層を付着することにより、銅合金の相互接続構造を与えることである。更に本発明の別の目的は、銅導電体の形成の前に、Al、Mg、Be、Ca、Sr、Ba、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luから選択された少なくとも1つの要素を含む銅合金シード層を付着することにより、銅合金の相互接続構造を与えることである。本発明の別の更なる目的は、相互接続構造の表面特性を改善するために、B、O、N、P、Fe、Ru、Os、Co、Rh、Ir、Ni、Pd、Pt、Ag、Au、Zn、又はCdから選択された少なくとも1つの要素を含む銅合金シード層を用いることにより、銅合金の相互接続構造を与えることである。更に本発明の別の更なる目的は、銅導電体付着プロセスを改善するために、銅導電体と電子デバイスとの間に挟まれように、Ag、Mo、W、又はCoから選択された金属のシード層を付着する

8

ことにより、銅合金の相互接続構造を与えることである。更に本発明の別の目的は、最初に電子デバイス上に銅合金シード層を付着し、次いでシード層上に銅導電体を形成することにより、相互接続構造を形成する方法を与えることである。ここで、銅合金シード層は銅と、Sn、In、Zr、Ti、C、O、N、Cl、及びSからなる群から選択された少なくとも1つの要素とを含み、相互接続構造のエレクトロマイグレーション抵抗力和腐食抵抗力和、及び接着を改善する。

#### 【0011】

【課題を解決するための手段】本発明によると、銅導電体本体及び電子デバイス間に挟まれた付加的な銅合金シード層を利用することにより、エレクトロマイグレーション抵抗力和接着特性、及び他の表面特性を改善する銅合金の相互接続構造が与えられる。

【0012】典型的な実施例において、電子デバイスとの電氣的通信を与える相互接続構造が与えられる。相互接続構造は、相互接続構造のエレクトロマイグレーション抵抗力を改善するために、実質的に銅で形成された本体と、本体と電子デバイスに緊密に接触してその間に挟まれ銅合金シード層とを含む電子デバイスを含む。銅合金シード層は、銅と、Sn、In、Zr、Ti、C、O、N、Cl、及びSの少なくとも1つの要素即ち元素により形成される。

【0013】別の典型的な実施例において、電子デバイスに電氣的接続を与える相互接続構造を与える。相互接続構造は、下の拡散バリアー層との接着を改善するために、銅導電体本体と、銅導電体本体と電子デバイス上に形成された拡散バリアー層に緊密に接触してその間に挟まれた銅合金シード層とを含む。銅合金シード層は、銅と、Al、Mg、Be、Ca、Sr、Ba、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Si、Geからなる群から選択された少なくとも1つの要素とからなる。

【0014】更に別の典型的な実施例において、電子デバイスに電氣的接続を与える相互接続構造システムを与える。相互接続構造システムは、電子デバイスの表面特性を改善するために、銅導電体本体と、銅導電体本体と電子デバイスに密接に接触しその間に挟まれた銅合金シード層とを含む。銅合金シード層は、銅と、B、O、N、P、Fe、Ru、Os、Co、Rh、及びIrの少なくとも1つの要素とからなる。電子デバイスと電氣的通信を与える接続システムが与えられ、その接続システムは、銅導電体の付着プロセスを改善するために、銅導電体本体と、銅導電体本体と電子デバイスに密接に接着してその間に挟まれた金属シード層とを含む。金属シード層は、実質的に銅化合物を形成できないような銅に対する低い溶解度を有する金属により付着形成される。一般に、その金属は、銅の電気抵抗率と実質的に類似の電

気抵抗率を有する。金属シード層のために適当な金属は、Ag、Mo、W又はCoである。

【0015】本発明は、更に、電子デバイスと電気的接続を与える相互接続構造を形成する方法に関する。方法は、最初に電子デバイス上に銅合金シード層を付着し、次に相互接続構造のエレクトロマイグレーション抵抗を改善するように銅合金シード層上に銅導電体本体を形成してその層を密接に接合する操作ステップにより、実行できる。

【0016】本発明は、更に、電子デバイスとの電気的通信を与える相互接続構造を形成する方法に関する。方法は、そのデバイスとの接着を改善し、最初に電子デバイス上に銅合金シード層を付着し、その銅合金シード層は、銅と、Al、Mg、Be、Ca、Sr、Ba、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Si、及びGeからなる群から選択された少なくとも1つの要素とからなり、次に銅合金シード層と密接に接触して銅導電体本体を形成するステップにより、実行できる。

【0017】本発明は、更に、電子デバイスとの電気的通信を与える相互接続構造を形成する方法に関する。方法は、最初に電子デバイス上に銅合金シード層を付着し、次に銅合金シード層と密接に接触して該層の上面上に銅導電体本体を形成するステップにより、実行できる。導電体は、銅と、C、N、Cl、O、又はSから選択された、約0.001〜10重量%の少なくとも1の合金要素とにより形成される。

【0018】本発明は、更に、電子デバイスとの電気的通信を与える相互接続構造を形成する方法に関する。方法は、最初に、電子デバイスの上面上に金属シード層を付着し、その金属シード層は、銅化合物を形成できないような銅に対する低い溶解度及び低い親和性を有する金属の付着により形成し、次に金属シード層と密接に接触してその層の上面に銅導電体本体を形成するステップにより、実行できる。その金属シード層は、Ag、Mo、W、又はCoから選択された金属の付着により形成される。

【0019】

【発明の実施の形態】本発明は、銅導電体本体と、銅導電体本体と電子デバイス間に挟まれた銅合金シード層とを利用することにより、電子デバイスとの電気的通信を確立するための新規な相互接続構造を提供し、エレクトロマイグレーション抵抗、接着特性、及び他の表面特性を改善する。本発明はまた、金属シード層をAg、Mo、W、又はCoの1の材料により付着形成する銅導電体の付着プロセスを改善するために、銅導電体本体と、銅導電体本体と電子デバイスの間に挟まれた金属シード層とを用いて、電子デバイスとの電気的接続を与える相互接続構造を開示する。

【0020】本発明は更に、銅合金シード層の上面上に銅導電体本体を形成する前に、最初に電子デバイス上にそのシード層を付着することにより、電子デバイスとの接着を改善する、電子デバイスとの電気的通信を与える相互接続構造を形成する新規な方法を開示する。シード層は、銅と、Al、Mg、Be、Ca、Sr、Ba、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Si、Geの少なくとも1つの要素即ち元素とから形成され得る。銅と、Sn、In、Zr、Ti、C、O、N、Cl、Sの少なくとも1つの合金要素とにより付着形成された銅合金シード層を利用することにより、構造のエレクトロマイグレーション抵抗を改善する相互接続構造を形成する類似の方法が与えられる。銅と、B、O、N、P、Fe、Ru、Os、Co、Rh、Ir、Ni、Pd、Pt、Ag、Au、Zn、Cdの少なくとも1つの要素とからなる銅合金シード層を用いることにより、電子デバイス上の表面特性を改善する、電子デバイスとの電気的通信を与える導電体を形成する別の類似の方法が与えられる。電子デバイスとの電気的通信を与える導電体を形成する本発明の新規な発明は、銅を含まないシード層を利用することにより、更に実行される。即ち、金属シード層は、銅化合物を形成しないような銅に対する低い溶解度及び低い親和性を有する金属、例えばAg、Mo、W、又はCoにより付着形成される。

【0021】図2を参照すると、本発明の相互接続構造50の拡大された透視図が示されている。相互接続構造50は、電子デバイスが含まれているシリコン又は他の半導体材料であり得る基板52上に構築される。Wスタッドと局所的相互接続62を有するデバイス66が半導体基板52上に構築される。配線レベル間の垂直接続は、配線をデバイス・コンタクト64に接続するCuスタッド構造60及びWスタッド構造62により与えられる。示されているデバイス66は、一般にCMOSトランジスタを示すが、どんな電子デバイスであってもよい。

【0022】銅が絶縁体54又はデバイス66へ拡散するのを阻止するために、通常、拡散／接着バリア層を用いて、銅46、60、及び56を取り囲む。拡散／接着バリア層は、絶縁層70又は導電層72であってもよい。導電性拡散バリア層72は、この明細書では単にバリア層と呼ばれるとしても、下の材料への銅接着をも与える。また、メインの銅導電体層46、60、及び56の下に普通に付着されたシード層76及び78が図2に示される。シード層の位置及び機能は、相互接続構造の2つの製造方法、即ちシングル・ダマシン及びデュアル・ダマシン・プロセスを参照して説明される。

【0023】本発明の新規な相互接続構造を製造するシングル・ダマシン・プロセスは、図3〜図6に示され



る。図3は、銅層46のレベルに形成される銅ライン又はスタッドの構造が示される。この例では、スタッドが示されている。絶縁体層100と窒化物エッチ停止層101が最初に付着され、コンタクト領域65を露出させるようにパターン化される。バリアー層72が、窒化物エッチ停止層101の上面に付着される。これは、シングル・ダマシン・プロセスとして知られる製造方法である。次に、図4に示すように、シード層78がバリアー層72上に付着される。シード層とその付着方法のために用いられる材料は、後のセクションで与えられる。様々な材料が様々な特性の強化を達成するために選択される。

【0024】シード層78の機能は、メインの導電体層が付着され得るベースを与えることである。これは図5に示され、その図においてメインの導電体層82が、シード層78の上面上に付着されている。シングル・ダマシン・プロセスにおいて配線ステップを完成するために、過剰な銅が、分離スタッド又はライン46を残しながら、例えばメインの導電体82の過剰な上面、シード層78、及びバリアー層72及びエッチ停止層101を除去するように化学機械的研磨の方法により平坦化される。最終的に、絶縁体バリアー層70が、図6に示されるように付着される。この類似の処理を次の配線レベル又はスタッドに対して繰返し、多層レベルの相互接続構造を構築できる。

【0025】デュアル・ダマシン・プロセスとして一般に知られた、本発明の新規な相互接続システムを製造するための第2の方法において、スタッドとライン・レベルの両方、例えば図2に示されるように、ライン・レベル56及びスタッド60が、類似のプロセス・ステップにおいて製造される。バリアー層72を、結合されたライン／スタッドの開口84に最初付着する図7を今参照する。図8に示すように、プロセスの次のステップにおいて、シード層86が、バリアー層72の上面上に付着される。次にメインの導電体層90が付着されライン／スタッド開口84を充填する。これが図9に示されている。例えば化学機械的研磨のような平坦化ステップを実行して、一体としてライン56とスタッド60の配線構造を完成させる。このデュアル・ダマシン・プロセスにおいて、ライン56とスタッド60の両方を形成する際シリコン窒化物のエッチ停止層70を使用しているが、省くことができる。図10に示すように、最後のパシベーション及びエッチ停止層のシリコン窒化物層101が付着される。

【0026】本発明の新規な相互接続構造によって用いられるシード層は、幾つかの望ましい機能を提供する。例えば、メインの銅導電体のための化学蒸着プロセスでは、シード層は、メインの銅導電体を形成するための化学反応を開始させるのに望ましい。メインの銅導電体を形成するためのメッキ・プロセスでは、シード層は、

メッキ電流を供給する電極に電気的連続性を与えるために望ましい。メインの銅導電体のための高温のリフロー・スパッタリング又は化学蒸着プロセスでは、表面に良好な濡れ性と核形成の成長特性を与えるために、薄い層が望ましい。

【0027】メインの銅導電体本体は、典型的には純粋な銅により形成されるのではなく、銅導電体の信頼性を改善することが明らかになったC、N、O、Cl、又はSのような合金要素との銅混合物、又はその信頼性を改善することが示された他の金属との銅合金より形成される。その合金の上記合金要素は、約0.001重量%～10重量%の範囲である。

【0028】銅導電体本体を付着するための本発明の新規なシード層は、銅合金又は銅を含まない他の金属により形成できる。合金シード層の組成の適当な選択により、そのシード層は、全体の複合導電体の信頼性を劣化させないで、銅導電体本体の高品質の付着のために必要とされる特性を持つことができる。シード層の組成及び構造は、メインの銅導電体本体の組成及び構造と同じである必要はない。例えば、シード層は、メインの銅導電体より大きな電気抵抗率を有する合金であってもよい。更に、合金シード層は、銅をまったく含まなくてもよい。シード層により占有されている断面積が導電体全体の断面積の小部分である限り、全体の線抵抗は主要導電体の抵抗率で決定され、従ってその抵抗はシード層による望ましくない増加はないであろう。このアプリケーションにおいて用いられる現在の金属合金は、固溶体または金属相の2相混合物の他、金属化合物を含むことに注意すべきである。

【0029】それゆえ、本発明の新規なシード層は、改善されたエレクトロマイグレーション抵抗、下の拡散バリアー層への改善された接着性、及びメインの導電体本体の付着に適合した改善された表面特性を与えるために選ばれる。純粋な銅に関連するエレクトロマイグレーション抵抗を改善することが示された銅合金の新規な組成は、Cu(Sn)、Cu(In)、Cu(Zr)、Cu(Ti)、及びCu(C、N、O、Cl、S)を含む。本発明の新規な相互接続構造も、純粋な銅に関連して接着特性を改善するシード層として銅合金を利用する。その銅合金は、Cu(Al)、Cu(Mg)、及び他の反応性金属例えばBe、Ca、Sr、Ba、Sc、Y、La、及び一連の希土類要素例えばCe、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、及びHf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Si、Geなどを含む。

【0030】本発明の新規な相互接続構造は、B、O、N、P、Fe、Ru、Os、Co、Rh、Ir、Ni、Pd、Pt、Ag、Au、Zn、Cdを含むシード層のために表面特性を改善する追加の合金要素を更に用いる。メインの銅導電体本体の付着のために都合の良い表

13

面を与える銅合金は、過剰な量の表面酸化物を形成しないものを含むことが判明した。それゆえ、エレクトロマイグレーション抵抗、接着、及び表面特性の最良な組合わせを獲得するために、合金シード層は、1又は2以上の上記合金要素を同時に有する銅から形成され得る。本発明の典型的な例は、0.25～1.5原子%のSn又はInを有する銅合金である。Cu(Sn)、Cu(In)のエレクトロマイグレーション寿命は純粋なCuよりも著しく長くなる。Cu、Sn、又はInを内部拡散させ、Sn、又はInを300～450℃の温度範囲において銅表面の所に蓄積させることも可能である。

【0031】本発明の新規な相互接続構造の第2の好ましい実施例においては、銅を含まない金属合金シード層を有利に利用できる。金属合金シード層の特性は、メインの銅導電体本体の抵抗率を増加させるよごれまたは化合物形成を導入しないで、メインの銅付着プロセスをシードする要件を満たさなければならない。1つの特定の例は、銅に対して低溶解度を有しCu化合物を形成しないAgである。その上Agは、メインの銅導電体に相当する低抵抗率を有する。本発明の第2の好ましい実施例において有利に利用でき、銅化合物を形成せず、銅の低溶解度を有する他の金属及び幾つかの金属の合金は、Mo、W、及びCoを含む。

【0032】本発明の新規な相互接続構造の第3の好ましい実施例においては、バリア層と同じ層であるシード層も、利用され得る。シード層の特性は、普通に分離されたシード層のしーディング(seeding)特性を与えることに加え、適切な接着及び拡散バリアの有効性の要求を満たさなければならない。

【0033】本発明の新規な相互接続構造の更にもう1つの好ましい実施例においては、バリア層及びシード層を、それらの特性が1の界面から他方へとしだいに变化するように構築できる。例えば、組成及び構造は、例えば反応性金属成分を含むことにより、底部の界面での接触のために最適化されるであろう。拡散/シード層の中間において、例えばアモルファス微細構造を有する耐火性金属窒化物を含むことにより、組成及び構造は、拡散バリアの有効性のために最適化される。バリア/シード層の上面では、例えば銅又は銀を含むことにより、組成及び構造は、メインの銅導電体本体をシードし接着するために、最適化される。それは、層の順序(シーケンス)付着か、又は1つの付着プロセスにおいてしだいに变化させた組成構造の付着のいずれかにより、獲得されるべきものである。

【0034】本発明の有利な合金シード層は、多くの異なる方法により製造され得る。一般に、シード層は、例えばTi、Nb、Mo、Ta、Ta<sub>2</sub>N、W、WN、TiN、TaSiN、WSiN、TiAlN、TiSiNのような材料を含む下のバリア層上に付着されるであろう。単一の合金ターゲット又は複数のターゲットからの

14

反応性又は無反応性スパッタリング、基板にイオン化された種を向けるイオン化スパッタリング、化学蒸着(CVD)、蒸着(evaporation)、又は電気化学的手段によって、シード層が付着され得る。合金シード層も、銅と合金要素の順序付着により付着され、その合金要素は次に適当な加熱処理により内部拡散され得る。

【0035】本発明の新規なシード層のための適当な厚さは、1nmより小さい、具体的には0.1nmから、サブミクロン線幅では約100nmまで、又はより広い線の線幅の約20%まで、の範囲で変わり得る。厚さの好ましい範囲は、約1nmと100nmの間である。

【0036】

【実施例】本発明の新規な金属合金シード層の特別な例は、0.25～1.5原子%のSn又はInを含む銅合金のシード層を含む構造である。図2～6に示すように、相互接続構造は、低配線レベルでは0.5μm線幅より小さく、そして高レベルでは1～2μmより小さなメイン導電体寸法を有する。レベル間の絶縁体の厚さは1μmより小さくとも、又は1μmより大きくともよく、例えば典型的には0.5～1.5μmである。この絶縁体材料は、典型的にはSiとOを含み、またFを含むことがあり、さらに高分子材料又は多孔性のものであり得る。絶縁性拡散バリア層は、典型的には10nmと100nmの厚さの間であり、典型的にはSiとNを含み、又は高分子材料であり得る。導電性拡散バリア層は、典型的には約10nmの厚さを有し、又は一般には数nm～100nmの範囲の厚さを有する。それは、Ta、Ti、W、Nb、Mo、Si、N、Cl、Oを含み、アモルファス又は多結晶であり得る。例えば、Ta<sub>2</sub>N、TiN、TaSiNを都合よく用いることができる。

【0037】本発明のシード層は、合金ターゲットからのスパッタリングにより付着された、0.25～1.5原子%のSnを含む銅合金であり得る。その厚さは、約0.1～100nmの範囲であり、より典型的には約1nm～100nmの範囲である。メインの銅導電体本体は、化学蒸着又は電気化学的手段により付着され、約0.2と1.5μmの間の全体の厚さを有し得る。平坦化プロセスが、化学機械的研磨により実行された後に、過剰な銅、シード層、及び拡散/接着層が除去される。デュアル・ダマシンプロセスにおける製造順序は、配線レベルとスタッド・レベルの両方が1つのプロセス・シーケンスで完了する例外はあるが、バリア、シード、及びメイン銅導電体材料のためのシングル・ダマシンプロセスと本質的に同じである。

【0038】本発明は上記実施例において例示されたが、銅相互接続構造のための合金シード層は、先進のチップ・アプリケーション又はディスプレイ・アプリケーションにおける半導体構造に有利に利用され得ることに注意すべきである。



15

【0039】

【図面の簡単な説明】

【図1】銅合金を使用した従来の相互接続システムの拡大された断面図である。

【図2】内部に本発明の相互接続システムを有する電子構造の拡大された透視図である。

【図3】内部に付着された拡散バリアーを有する本発明の相互接続システムを形成するための開口の拡大された断面図である。

【図4】内部に付着された銅合金シード層を有する図3の本発明の相互接続システムを形成するための開口の拡大された断面図である。

【図5】内部に付着された銅電導体材料を有する図4の本発明の相互接続システムを形成するための開口の拡大された断面図である。

【図6】図5の過剰な銅を除去した本発明の相互接続システムの拡大された、断面図である。

【図7】内部に付着された拡散バリアー層を有するジュエル・ダマシン構造の本発明の相互接続システムを形成するための開口の拡大された、断面図である。

【図8】拡散バリアー層の上面に付着された銅合金シード層を有する図7の本発明の相互接続構造を形成するための開口の拡大された断面図である。

【図9】内部に付着された銅合金を有する図8の本発明の相互接続構造を形成するための開口の拡大された断面図である。

【図10】図9の過剰な銅が除去された本発明の相互接続構造の拡大された断面図である。

【符号の説明】

\*

16

\*10：電子構造

42：シリコン窒化物層

18、24：ライナー

12、14、16：銅の相互接続

22：スタッド

26、34、38：誘電体スタック

20：製造前デバイス

28、32、42：シリコン窒化物

36：エッチ停止層

10 46：分離スタッド又はライン

50：相互接続構造

52：半電導体基板

54：絶縁体

56：銅、ライン・レベル

60：Cuスタッド構造

62：Wスタッド構造

64：デバイス・コンタクト

66：デバイス

70：絶縁層、バリアー層

20 72：ライナー層、バリアー層、シリコン窒化物エッチ停止層

76、78、86：シード層

78：シード層

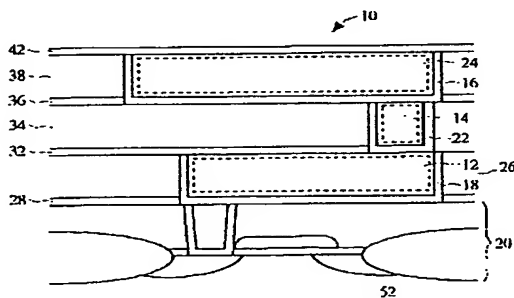
84：開口

90：導電体層

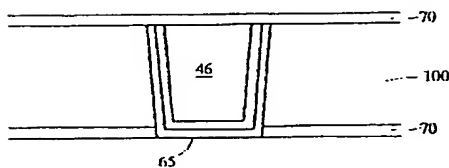
100：絶縁層

101：拡散／接着バリアー層、シリコン窒化物エッチ停止層

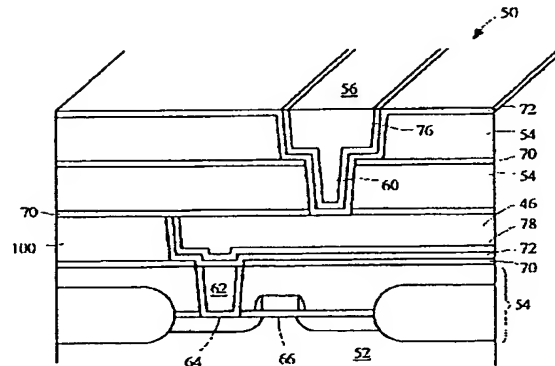
【図1】



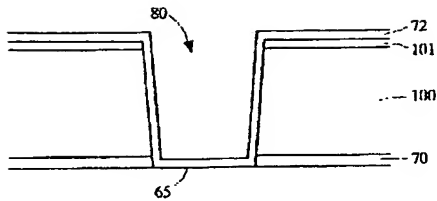
【図6】



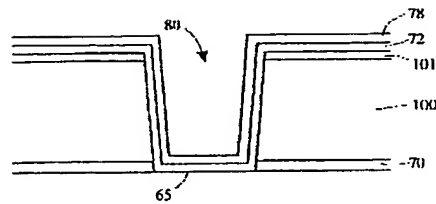
【図2】



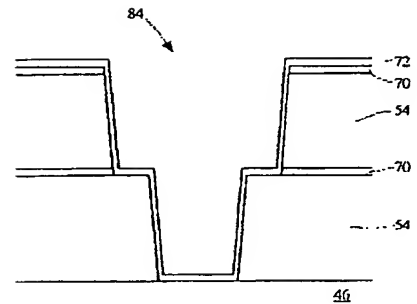
【図3】



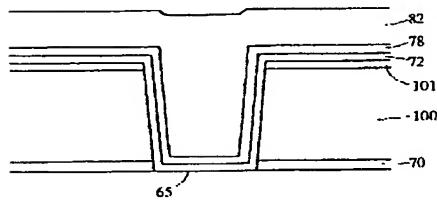
【図4】



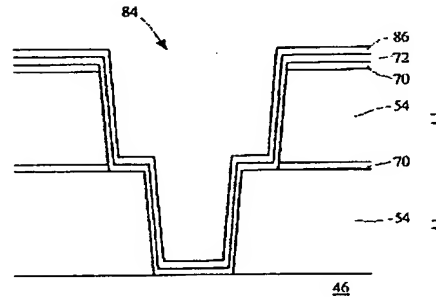
【図7】



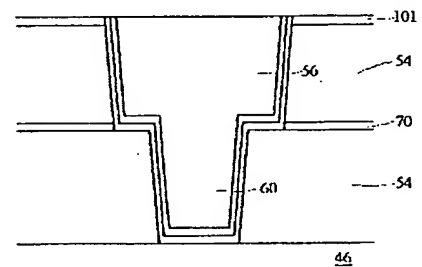
【図5】



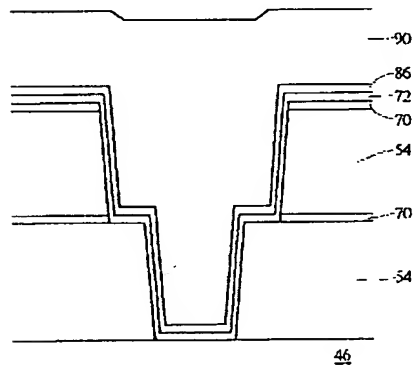
【図8】



【図10】



【図9】



フロントページの続き

(72)発明者 ジェームズ・マッケルエドウィン・ハーバー  
 アメリカ合衆国ニューヨーク州ヨークタウン・ハイツ、エリザベス・ロード507  
 (72)発明者 チャオクン・ク  
 アメリカ合衆国ニューヨーク州ソマーズ、ブットラー・ヒル・ロード26

(72)発明者 アンドリュー・エイチ・シモン  
 アメリカ合衆国ニューヨーク州フィッシュキル、グリーンヒル・ドライブ31シー  
 (72)発明者 コブレイン・エメカ・ウゾー  
 アメリカ合衆国ニューヨーク州ホープウェル・ジャンクション、ブリッジ・ストリート657